Eurogam project EDOC113

TRIGGER

Edition 1.0
Decembre1990

C. RING

Centre de Recherches Nucléaires de Strasbourg
(SATD)
CNRS-IN2P3 France

1 Introduction

Le Trigger a pour but de sélectionner parmi les événements ceux qui sont jugés interessants par le physicien; il permet de ne collecter les données que pour un nombre restreint d'entre eux. Les critères de sélection reposent généralement sur des configurations de detecteurs touchés ou encore sur leur nombre.

Le Trigger proposé se décompose en deux parties:

- une partie centralisée, désignée **Master Trigger**, qui détecte l'existence d'un **événement** interessant.

- une partie distribuée, constituée de circuits localisés au niveau de chaque voie de mesure, designés **Local Trigger**, qui permettent de ne collecter que les **paramètres** relatifs à l'événement detecté.

Les commandes d'ouverture des portes integrantes, synchronisées sur le déclenchement des DFC, sont placées sous le contrôle des Local Trigger. Sans validation extérieur, les portes integrantes sont automatiquement remises à zero, la reception d'un nouvel événement peut avoir lieu. Les fenêtres de validation émises par le Master Trigger sont le Fast Trigger et la Validation.

Le Fast Trigger assume deux fonctions:

- une fonction logique qui consiste à selectionner les voies dont le discriminateur a declenché durant un certain intervalle de temps et à les considerer comme faisant partie de l'événenment à acquérir.

- une fonction temporelle qui consiste à stoper les TAC des voies qui ont satisfait à la sélection logique, TAC demarrés par le déclenchement des DFC.

La validation est générée par le Master Trigger suite à un signal de déclenchement. Elle indique que des critères plus lents ont confirmé la validité de lévénement, le traitement des signaux analogiques impliqués se poursuit par la conversion et le transfert des résultats numérisés. En l'absence de validation lévénement, supposé bon au moment du déclenchement, est rejeté suite à une remise à zero automatique des portes intégrantes. Ce mode de fonctionnementt est dit **asynchrone**.

Le système d'acquisition est prévu pour fonctionner en **temps mort commun** , c'est à dire que durant le traitement d'un événement le système est bloqué et n'accepte plus aucun nouvel événement.

Remarque: pour accroître le taux d'acquisition, d'autres futurs multidétecteurs sont prévus pour fonctionner dans des modes autre que en temps mort commun.

- en mode parallèle seule la partie active est en temps mort, le reste du multidétecteur peut accepter un nouvel événement durant le traitement de l'événement précédent.
- en mode pipe line le temps de traitement est divisé en plusieurs phases successives (traitement analogique du signal, conversion, transfert des données). Le temps d'occupation de l'une des phases pour une voie de mesure ne bloque pas les autres phases.

les modes de fonctionnement Parallèle et Pipe Line ne sont pas exclusifs.

2 Le Master trigger

Le Master Trigger réalisé en VXI contient la logique de décision nécéssaire à la détection d'événements. Il delivre une impulsion Fast Trigger dès la reconnaissance d'un événement interessant suivi d'un signal de Validation qui offre à l'utilisateur la possibilité d'opérer une seconde décision logique.

Le Master Trigger délivre également des données relatives à l'évenement en cours, il fournit des informations telles que le nombre de détecteurs touchés en coincidence ou la configuration du déclenchement.

Le Master Trigger comporte plusieurs blocs fonctionnels.

- les circuits d'entrée permettent d'adapter les signaux en provenance de l'électronique de détection aux circuits logiques de décision.
- les circuits d'alignement en temps pour mettre en coincidence les signaux d'entrée.
- les circuits de décision qui fournissent des signaux en sortie en fonction de configurations de signaux logiques en entrée.
- les circuits de sortie qui conditionnent les signaux Fast Trigger et validation en fonction de signaux relatifs à la gestion de l'acquisition (Inhibit Request, GO/Stop, ...).

- des circuits de Test pour faciliter les reglages de l'électronique d'acquisition.

2.1 Circuits d'entrée

Il sont de 2 types:

- des entrées analogiques, "sumbuses", qui permettent de traiter un multidétecteur de façon globale en fournissant le niveau de multiplicité en analogique; celui-ci reflète le nombre de détecteurs touchés lors d'une réaction.
- des entrées logiques qui permettent d'injecter des conditions particulières.

2.1.1 Sumbuses

Le Master Trigger est pourvu de 4 circuits Sumbuses. Chacun comporte 8 entrées leurs permettant la connexion en étoile de 8 châssis d'instrumentation.

Chaque Sumbus est relié à l'entrée des 4 comparateurs dont les seuils sont programmables, les 16 signaux logiques en sortie interviennent dans la décision de déclenchement.

2.1.2 Entrées logiques

Il y a 8 entrées logiques relatives au Fast Trigger et 8 autres pour la Validation. Il est nécessaire de fournir ces 16 signaux suivant une même technologie (ECL, TTL, NIM, ...) au choix de l'utilisateur.

2.2 Alignement en temps

32 circuits de retard de durée programmables permettent d'aligner en temps les impulsions en provenance des entrées logiques et des sorties des comparateurs placés sur les "sumbus". Le retard maximum est de $2.5\mu s$ pour les entrées relatives au Fast Trigger et de $10\mu s$ pour les 8 signaux logiques de validation. Dans chaque cas le retard et la durée sont programmables au moyen d'un code sur 8 bits (256 pas). les 32 signaux en sortie ainsi que les 32 signaux d'entrée sont appliqués sur les circuits de décision logique.

2.3 Circuits de décision

Les circuits de décision sont résalisés à partir des circuits logiques programmables (Logic Cell Array = LCA). Il est prevu 4 circuits pour la génération du signal Fast Trigger et 4 autres circuits pour la validation . Les circuits de Validation reçoivent en plus des signaux logiques d'entrée les signaux issus des 4 circuits du déclenchement. Ces circuits de décision délivrent des signaux en sortie Fast Trigger Request (FTR) et Validation Request (VR) pour certaines configuration de signaux en entrée. Un facteur de réduction peut être appliquer à ces signaux (≤ 16).

Les signaux Fast Trigger Request et Validation request sont nécessaires, le mot correspondant peut être injecté sur le bus de données, il constitue un paramètre de l'événement.

2.4 Circuits de sortie

Ces circuits assemblent les signaux Fast Trigger Request et Validation Request, les remettent en forme et les conditionnent en fonction de signaux extérieurs pour générer les signaux Fast Trigger et Validation.

2.4.1 Fast trigger

Ce signal est transmis par cables coaxiaux à un maximum de 8 châssis. Il est programmable en retard et durée sur 256 pas (8 bits).

2.4.2 Validation

Ce signal est distribué au moyen d'une ligne ECL à tous les tiroirs slot 0. Le retard de ce signal par rapport au signal Fast Trigger est programmable sur 8 bits. Sa durée est également programmable (8 bits).

2.4.3 Sortie Inhibit

Ce signal est utilisé en mode Temps Mort Commun pour inhiber tous les circuits Local Trigger de toutes les voies qui ne sont pas impliquées dans l'événement en cours. Il est activé par l'impulsion Fast Trigger et remis à zero à la fin de la lecture.

Ce signal est également activé suite à un signal d'entrée Inhibit Request, ceci permet d'interrompre l'acquisition des données pour des raisons non liées à la physique, par exemple pour remedier aux problèmes de microphonie durant le remplissage des détecteurs Ge.

2.5 Circuits divers

Pour tester le fonctionnement du Master Trigger, faciliter le reglage de l'électronique et mesurer le débit de certains signaux il est prevu des multiplexeurs analogiques et digitaux, un TAC, un retard selectable et des échelles de comptage.

2.5.1 Test des signaux

Le Master Trigger va être pourvu de points de Test connectés aux lignes d'inspection VXI à travers des multiplexeurs contrôlés par logiciel. Parmi les signaux visualisés notons les 4 lignes Sumbus, la sortie TAC, les 16 signaux issus des comparateurs connectés sur les sumbus, les sorties des 32 circuits d'alignement Retard-Durée, les 4 Fast Trigger Request, le signal Fast Trigger, les 4 Validation Request, le signal Validation.

2.5.2 TAC

Pour faciliter la mise en temps de toutes les sorties des DFC NE213 il est incorporé un TAC au Master Trigger. Son entrée start est connecté sur la multiplicité 1 du sumbus, le stop étant fourni par un scintillateur rapide.

La methode de réglage consiste à couper toutes les voies sauf celle que l'on veut ajuster.

2.5.3 Retard selectable

Pour calibrer les TAC de toutes les voies il est possible d'incorporer un retard dans le signal de déclenchement. La différence en temps des deplacement du pic donne un étalonnage precis pour chacune des voies.

2.5.4 Echelles de comptage

Pour mesurer le debit de certains signaux il est prevu plusieurs échelles de comptage pouvant être lues par VME. Les lignes pourvues d'échelles sont le Fast Trigger, la Validation, les Fast Trigger Request (accepté, rejeté) les Validations (accepté, rejeté).

2.6 Données fournies par le Master Trigger en mode de lecture rapide DT32

Le Master trigger va fournir les informations lors de la lecture des données sur le Bus DT32.

- Start event Token:
  ce mot comporte 16 bits à 1 et le numéro de l'événement sur 16 bits. Il constitue le séparateur d'événement.

- mode de déclenchement.
  Ce mot comporte la cartographie des signaux FTR et VR ayant contribué au déclenchement.

- Sumbus Multiplexing.
  1 mot pour chaque ligne Sumbus.

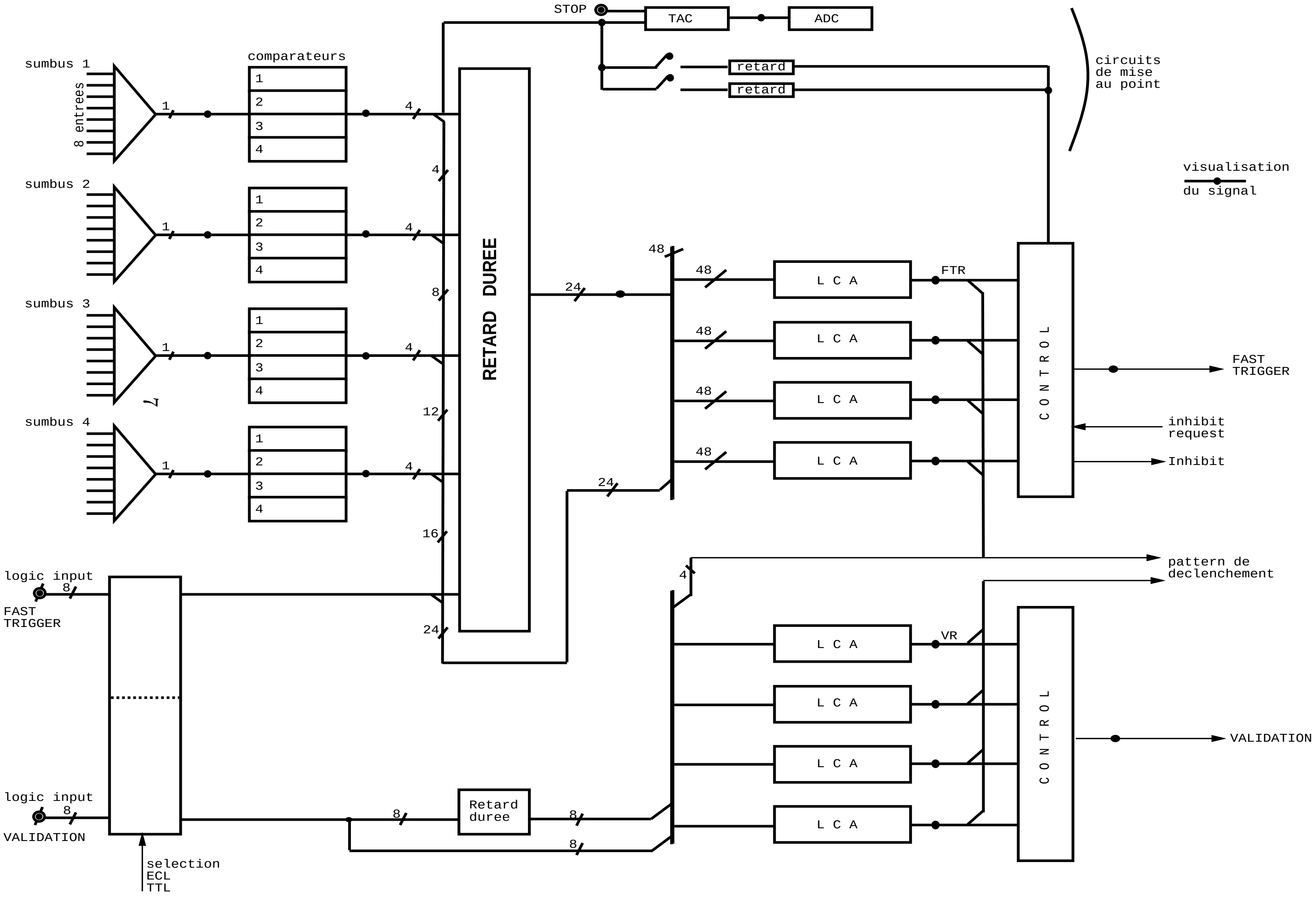
- TAC.
  Ce mot comporte la valeur numérisée du TAC de reglage interne au Master Trigger.

  Le Start even Token étant fourni par le Master Trigger ceci implique :

  - que le Master Trigger soit logé dans le châssis VXI transferé en premier sur le bus DT32.

  - que le Master Trigger soit la première carte lue à l'intérieur de ce châssis. Cela signifie que le châssis contenant le Master Trigger comporte le RM en slot 0, le Readout Controller en slot 1, le Trigger en slot 2, les slots 3 à 12 restant disponible pour les cartes d'instrumentation.

3 Local Tigger


STOP
TAC
ADC
retard
retard
circuits
de mise
au point
sumbus 1
8 entrees
comparateurs
1
2
3
4
sumbus 2
sumbus 3
sumbus 4
RETARD DUREE
visualisation
du signal
48
24
L C A
FTR
C O N T R O L
FAST
TRIGGER
inhibit
request
Inhibit
pattern de
declenchement
logic input
FAST
TRIGGER
4
8
12
16
24
VR
VALIDATION
logic input
VALIDATION
Retard
duree
selection
ECL
TTL