Groupe Acquisition Ganil

QDC 6412V

CODEUR DE CHARGE

32 ENTREES A DOUBLE INTEGRATION

12 BITS

AU STANDARD VXI .

Groupe Acquisition Ganil

QDC 6412V

CODEUR DE CHARGE

32 ENTREES A DOUBLE INTEGRATION

12 BITS

AU STANDARD VXI .

QDC6412V

CODEUR DE CHARGE 32 ENTREES A DOUBLE INTEGRATION , 12 BITS, AU STANDARD VXI FORMAT D .

- **densité :** 32 entrées analogiques Ej associées à 32 entrées logiques DECj déclenchant les portes d'intégration aux 32 doubles voies d'intégration A et B ; ceci correspond à 64 voies dans une unité format D au standard VXI

- **impédance d'entrée:** 50 • .

- **dynamique :** - 80 mA < Ie < + 0,2 mA correspondant respectivement à des tensions d'entrée de : - 4 V et + 10 mV .

- **temps de montée des signaux d'entrée :** > 10 ns .

- **portes d'intégration :** Le signal logique DECj associé à l'entrée charge Ej déclenche une porte d'intégration qui est délivrée aux deux voies A et B . La durée T de la porte est identique pour toutes les entrées

- **gamme :** (gamme voie A) = 32 nC et (gamme voie B) = 1,8 nC.

- **rapport des gains des voies :** (gain voie B) = 16 X (gain.voie A) .

- **compensation des piédestaux :** pour toutes les voies , génération d'un courant Ip programmable et réparti approximativement comme suit : (15 Ip / 16) dans les voies A et (Ip / 16) pour les voies B.

- **fonction test :** déclenchement simultané des 32 entrées avec génération d'un courant d'entrée programmable et réparti entre les voies A et B dans le même rapport que ci-dessus .

- **veto :** Blocage des déclenchements .

- **modes de fonctionnement :** Deux modes programmables : synchrone (toutes les entrées déclenchées sont valides) et asynchrone (les entrées sont validées par un signal extérieur d'analyse).

- **ordre de codage :** Interne ou externe .

- **précision:** 12 bits .

- **temps de conversion :** 2 µs par entrée valide ; la durée maximale de conversion est de 64 µs .

- **contrôle et visualisation :** signaux envoyés sur des lignes VXI .

- **lecture des données :** deux modes VME et ROCO .

QDC6412V

1 Généralités :

Le codeur de charge QDC6412V numérise les charges électriques obtenues par l'intégration des courants des entrées Ej pendant la durée des portes qui leur sont associées . Le QDC6412V , réalisé au standard VXI format D , comprend 32 entrées analogiques Ej à double intégration associées à 32 entrées logiques DECj . Chacune de celles-ci déclenche une porte d'intégration de durée T identique pour tous les intégrateurs . Les deux voies d'intégration A et B de chaque entrée ont respectivement des gammes de 32 nC et 1,8 nC . Le courant d'entrée est réparti dans les deux voies de telle sorte que le gain de la voie B soit égal à 16 fois celui de la voie A .

Un veto INHIBIT* , signal délivré sur une ligne du bus VXI (ou VETO en face avant) permet d'interdire tous les déclenchements . En outre , par programmation , des entrées quelconques peuvent être mises hors service .

Les entrées analogiques ont une impédance de 50 • ; les courants d'entrée doivent être compris entre - 80 mA (- 4 V / 50 •) et + 0.2 mA (+ 10 mV / 50 •) et leurs temps de montée supérieurs à 10 nS . Pour chaque entrée , la double conversion charge-tension est réalisée par deux intégrateurs en technologie CMS . Chaque convertisseur délivre en fin de porte de durée T une tension dont l'amplitude mémorisée est proportionnelle à la charge stockée durant T .

Le codeur fonctionne en mode asynchrone : les entrées sont déclenchées indépendamment les unes des autres et sont remises à zéro durant environ 500 nS à la fin de la durée T des portes tant que le module extérieur d'analyse n'a pas validé celles-ci . Pour q'une entrée soit valide , il faut que son front de validation , signal généré avec un retard R après le déclenchement , soit présent dans la fenêtre de validation VALID1 délivrée par le module d'analyse sur une ligne du bus VXI (ou VALID en face avant) . Toutefois , par programmation à l'initialisation le codeur peut fonctionner en mode synchrone ; dans ce mode , toutes les entrées déclenchées durant la fenêtre d'autorisation (veto INHIBIT* ou VETO) sont valides .

La conversion analogique digitale est autorisée soit par un ordre de codage externe (VALIDATION3*) , soit par la fin d'autorisation des déclenchements (

INHIBIT* , VETO) ; le choix est fait par programmation à l'initialisation . Les amplitudes mémorisées des 32 voies A d'intégration sont multiplexées pour être numérisées par un convertisseur à approximations successives SOADC 305 ; simultanément les voies B de gain 16 sont converties dans une chaîne identique . Le début et la fin de conversion de toutes les voies sont indiqués par l'état de la ligne Fin De Codage* du bus VXI . La linéarité différentielle , après correction par échelle glissante , est d'environ 1% . La durée de conversion est de 2 µs pour une entrée valide ; dans le cas contraire il n'y a pas de conversion . La durée maximale de conversion est donc de 64 µS (32 fois 2 µS) .

A la fin de conversion des voies , leurs paramètres ainsi que le mot de configuration des entrées valides sont disponibles à la lecture par le bus VME . Deux modes de lecture sont possibles : lecture VME par bloc et lecture ROCO . La fin de lecture des données de tous les codeurs du châssis est indiquée par la ligne Fin De Lecture* du bus VXI . Il est alors nécessaire de remettre à zéro et libérer le codeur pour l'acquisition de nouvelles données en envoyant un signal de remise à zéro (RAZ ou REVT*) . Ce signal peut intervenir durant le traitement des informations dans le codeur .

2 Les signaux de la face avant et du bus VXI :

2 1 Les signaux de la face avant :

2 1 1 Les entrées charges :

- Nombres d'entrées : 32 dans une unité VXI au format D ..

- Connecteur : ATI coaxial . Les entrées sont réparties par groupe de 8 .

- Impédance d'entrée : 50 • .

- Dynamique : - 80 mA • Ie • + 0,2 mA (- 4 V • Ve • + 10 mV).

- Temps de montée : > 10 nS .

2 1 2 Les entrées logiques déclencheuses :

- Nombres d'entrées : 32 dans une unité VXI au format D ..

- Connecteur : 2*8 broches pour câble plat . Les entrées sont réparties par groupe de 8 .

- Logique : ECL différentiel.

- Impédance d'entrée différentielle : 110 • .

2 1 3 Les autres signaux logiques :

- Nombre d'entrées : 5 signaux DEC , VETO , VALID , OA , RAZ .
  DEC : déclenchement commun aux 32 entrées charges
  VETO : interdiction des déclenchements et ordre de codage interne .
  VALID : fenêtre de validation des entrées déclenchées (mode asynchrone) .
  OA : Ordre d'Analyse démarrant la numérisation des voies intégratrices
  RAZ : remise à zéro des intégrateurs et libération du codeur .

- Connecteur : coaxial Lemo taille 00 , 50 • .

- Logique : NIM

- Impédance d'entrée : 50 • .

2 2 Les signaux du bus VXI : [1]

2 2 1 Les signaux issus du module d'analyse :

- TRIGGER RAPIDE (FT) ou VALID1 :
  - Fenêtre de validation des entrées déclenchées . Une entrée est validée si son front de validation est présent dans cette fenêtre (cas du mode asynchrone) .
  - Niveau ECL différentiel : FT+ en P3A28 et FT- en P3A29 .

- INHIBIT* (INH*):
  - Interdiction des déclenchements sur le niveau bas (0 logique) et ordre de codage interne sur le front descendant .
  - Niveau TTL- : INH* en P2C27 .

- ORDRE DE CODAGE* (OCD*) ou VALIDATION3* :
  - ordre de codage externe actif sur le front descendant .
  - Niveau TTL- : OCD* en P2A27

- REJET EVENEMENT* (REVT*)
  - Rejet d'événement , remise à zéro des intégrateurs et libèration du codeur sur le niveau bas (0 logique).
  - Niveau TTL- : REVT* en P2C26 .

- INIT* :

---

[1] Documentation " Le trigger INDRA "- J TILLIER , L.P.C. CAEN Avril 1991 - .

- Initialisation des registres d'état et de seuils , remise à zéro et libèration sur le niveau bas (0 logique) .
- Niveau TTL - : INIT* en P2C24

- SYNCHRO TEST (ST) :
  - Déclenchement commun et simultané de toutes les entrées avec envoi d'un courant préprogrammé aux intégrateurs . Ce signal est actif sur le front montant .
  - Niveau ECL+ : ST en P2A3 .

2 2 2 Les signaux générés par le codeur :

- CODAGE* ou Fin De Codage* :
  - Cette ligne , commune à tous les codeurs du châssis , réalise la fonction ET câblé ; elle est active au niveau bas durant la conversion analogique numérique des informations mémorisées dans les intégrateurs .
    <u>Transition 1 à 0</u> : indication du début de conversion des codeurs . Cette transition se fait à la réception de CODAGE* (ou OA)
    <u>Transition 0 à 1</u> : indication de la fin de conversion de tous les codeurs ..
  - Niveau TTL- (Open Collecteur) : CODAGE* en P2A23 .

- LECTURE* ou Fin De Lecture*:
  - Cette ligne , commune à tous les codeurs du châssis , réalise la fonction ET câblé . L'indication de fin de conversion (CODAGE* de 0 à 1) met cette ligne à 0 ; elle est active au niveau bas durant la lecture des données des codeurs du châssis .
    <u>Transition 1 à 0</u> : indication du début de lecture .
    <u>Transition 0 à 1</u> : indication de la fin de lecture .
  - Niveau TTL- (Open Collecteur) : LECTURE* en P2C23 .

- RENIN et RENOUT* :
  - Ces deux signaux sont reliés en " daisy chain" et sont utilisés pour transmettre les autorisations de lecture des données d'un module à un autre en mode ROCO[1] . Ce mode de lecture nécessite la présence d'un automate de contrôle dans le châssis VXI . L'entrée RENIN d'un module B est reliée à la sortie RENOUT* du module A situé à sa gauche . Un niveau 0 sur RENIN du codeur A autorise la transmission sur le bus 32 bits VME des données de A sur le bus 32 bits VME . La sortie RENOUT* de A est à 1 et passera à 0 à la fin de la lecture , donnant ainsi l'autorisation de transmission au module B .

---

[1] Le mode ROCO de lecture est décrit par J ALEXANDER du laboratoire de DARESBURY dans un document de novembre 90 " Specification of the VXI Readout Mechanism ".

- Niveau TTL : RENIN en P2A11 .
  RENOUT* en P2C11

3 Déclenchements et intégrations :

3 1 Les voies d'intégration :

Le courant Ie de chaque entrée Ei est réparti dans deux voies d'intégration A et B dont le rapport des gains est environ égal à16 .

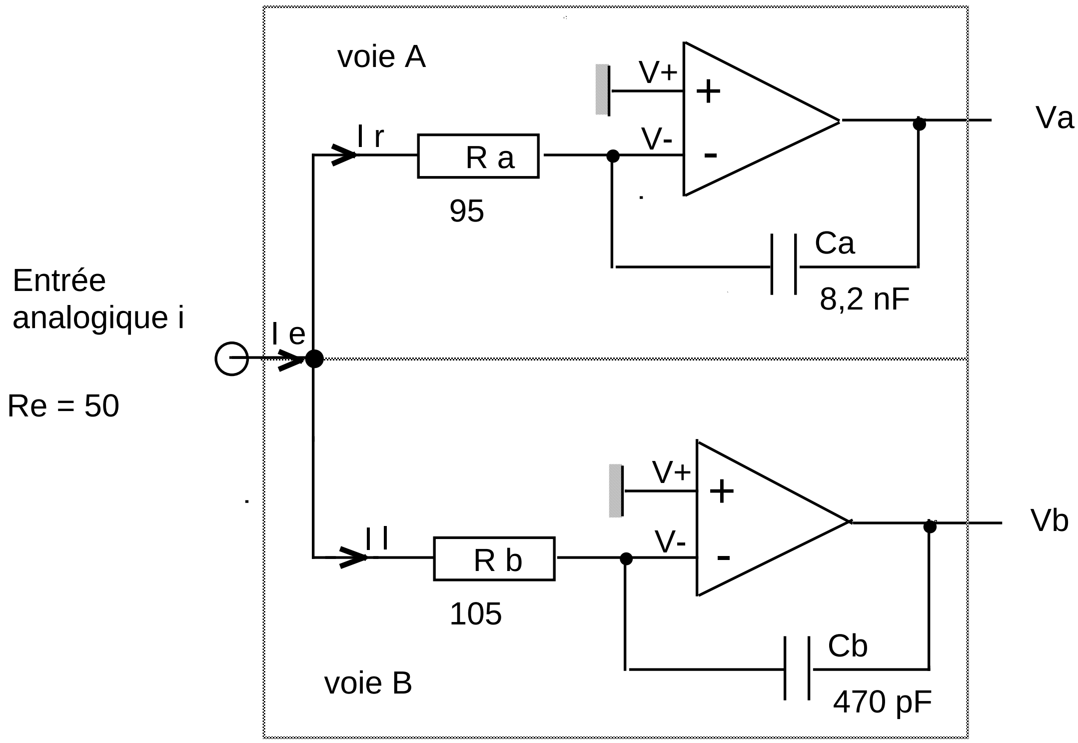
Pour chaque entrée Ei , la porte d'intégration , commune aux deux voies et de durée T , est déclenchée par l'entrée logique DECi associée en face avant . Les portes peuvent être déclenchées simultanément par le signal DEC en face avant ou par le signal SYNCHRO TEST du bus VXI .

Le déclenchement d'une entrée n'est possible que si les signaux INHIBIT* ou VETO ne sont pas actifs et si cette entrée n'est pas programmée hors service[1]

La durée T des portes d'intégration est commune à tous les intégrateurs et programmable sur 12 bits d'environ 50 nS à 11 µS .

(pas de variation de T) = 2,7 nS .
(dispersion de T entre les entrées) • 1% .

[1] Se reporter au § 6 2 .



Synoptique de deux voies d'intégration d'une entrée charge

Impédance d'entrée : Re = 50 •

Gamme voie A : Ga = 32 nC

Gamme voie B : Gb = 1,8 nC

Rapport des gains : $\dfrac{Vb}{Va} = \dfrac{Ra\ Ca}{Rb\ Cb} = 16$

3 2 Les piédestaux analogiques :

- Piédestaux individuels :

A cause des courants de fuite et de polarisation dans chaque convertisseur charge-tension , on observe , en absence de signal analogique à l'entrée , la présence en sortie d'un piédestal que l'on peut compenser par potentiomètre individuel à chaque voie d'intégration . Les piédestaux des 64 voies ont été compensés au voisinage du canal 20 avec des portes d'intégration de 5 µS .

- Piédestal commun :

Une tension continue U , dont la valeur p est programmée sur 12 bits à l'initialisation , génère à travers chaque résistance Ri d'une voie i un courant dans l'intégrateur . En hexadécimal :

$p = FFF_h$	U = + 10 V
$p = 800_h$	U = 0 V
p = 0	U = - 10 V

Pour les voies A à petit gain les résistances Ri sont égales à 2 k• et pour les voies B à grand gain égales à 35 k• de façon à obtenir environ le même canal .

Soit T la durée de la porte d'intégration , la quantité de charge Qi injectée est donc :

$$Qi = \frac{U}{Ri} T$$

A titre d'exemple , pour $p = 400_h$ et T = 5 µS , les charges injectées sont :

Qi = 12,5 nC pour les voies A .
Qi = 0,72 nC pour les voies B

- Piédestal commun généré sur un ordre de test :
La ligne VXI SYNCHRO TEST permet de tester le bon fonctionnement du codeur en générant un signal de déclenchement et un courant de piedestal simultanément à toutes les entrées et intégrateurs . Ce courant a les mêmes caractéristiques que celles définies juste ci-dessus mis à part que ce n'est pas un courant permanent ; il est généré uniquement durant ce test . En outre la génération de ce courant est autorisée lorsque le bit GENPDTST du mot d'état[1] est positionné à 1 .

3 3 Les modes asynchrone et synchrone :

Le mode de fonctionnement est programmé à l'initialisation du codeur . L'intérêt du mode asynchrone réside dans le fait que le signal d'analyse de l'événement arrive aprés le déclenchement des entrées intégratrices .

[1] Se reporter au § 6 3 .

3 3 1 Le mode asynchrone :

Les entrées fonctionnent indépendamment les unes des autres et génèrent leur propre cycle redéclenchable tant que le codeur n'a pas reçu de fenêtre de validation du module externe d'analyse . Le cycle de chaque entrée Ej est déclenché par l'entrée logique DECj associée et est caractérisé par :
- l'envoi aux deux voies d'intégration d'une porte de durée T .
- la génération , après un retard R , d'un front de validation .

La durée du retard R est commune à toutes les entrées et programmable à l'initialisation sur 12 bits . Le retard R maximal est de 1,7 µS ; le pas de variation est d'environ 0,4 nS . La dispersion de R entre les entrées est inférieure à 1% .

Deux cas sont alors à considérer :

- Le codeur ne reçoit pas de fenêtre de validation :

A la fin du temps T , durée de la porte d'intégration , les deux voies de l'entrée charge Ej sont remises à zéro et après 500 nS , cette entrée est prête à démarrer un nouveau cycle .

- Le codeur reçoit une fenêtre de validation :

Si le front de validation de l'entrée Ej est en coïncidence avec cette fenêtre , l'entrée Ej est validée et les charges intégrées durant le temps T sont mémorisées afin de permettre leur numérisation . Dans le cas contraire , les voies sont remises à zéro et l'entrée Ej n'est pas validée . Les entrées validées attendent soit un ordre de codage soit un rejet du module de décision .

3 3 2 Le mode synchrone :

Dans ce mode , la fenêtre de validation n'est pas autorisée . Dès qu'une entrée Ej est déclenchée , elle est validée et les charges intégrées durant T sont mémorisées . Les entrées déclenchées attendent soit un ordre de codage soit un rejet du module de décision .

4 La conversion analogique digitale :

4 1 Ordre de codage :

L'ordre de codage est indispensable pour démarrer la conversion analogique numérique des charges intégrées . En outre , il réalise l'interdiction des déclenchements des entrées. Le choix entre un ordre de codage interne ou externe se fait à l'initialisation :

- Ordre de codage interne :
L'ordre de codage est donné par la fin d'autorisation des déclenchements délivré par le signal INHIBIT* du bus VXI ou VETO de la face avant . Le début de la conversion commence après que toutes les intégrations des entrées déclenchées et validées soient terminées , c'est à dire au maximum après un temps T (durée de la porte d'intégration) .

- Ordre de codage externe :
L'ordre de codage est délivré par le signal OCD* du bus VXI . Ce signal doit arriver après l'interdiction des déclenchements des entrées . En ce qui concerne le début de conversion , les remarques sont identiques à celles ci-dessus .

Dès le début de conversion et durant celle-ci , la ligne CODAGE* du bus VXI est positionnée à 0 par le codeur ; il la relâche à la fin de conversion .

4 2 La conversion :

Les charges intégrées et mémorisées des voies A à petit gain et des voies B à grand gain sont réparties dans deux chaînes de conversion analogique numérique identiques . Chaque chaîne est essentiellement composée de multiplexeurs analogiques et d'un convertisseur à approximations successives SOADC305 (fabricant SOREP) associé à un système de correction de la linéarité différentielle (échelle glissante) .

- Précision : 12 bits . Pour une voie A (gamme de 32 nC) : 7,80 pC / canal .
Pour une voie B (gamme de 1,8 nC) : 0,44 pC / canal .

- Temps de conversion : • 64 µs . Si N est le nombre d'entrées validées , le temps de codage T_C est :
$T_C = N \times 2$ µS .

- Linéarité intégrale : < 0,02% de la pleine échelle .

- Linéarité différentielle : < 1% .

4 3 La remise à zéro :

Pour remettre à zéro les intégrateurs avec une précision suffisante de 12 bits , un nouveau déclenchement ne doit pas intervenir avant 500 nS .

La remise à zéro est automatique dans le fonctionnement asynchrone pour une entrée non validée et dure 500 nS . Plus généralement , elle se fait par le signal REVT* du bus VXI ou RAZ en face avant . Elle peut se faire à tout moment pour libérer le codeur . Si elle arrive avant la fin de conversion analogique numérique , le traitement des informations de l'événement en cours est annulé . La remise à zéro est indispensable , après chaque lecture des données , pour libérer le codeur .

Le signal INIT* du bus VXI a en plus du rôle décrit ci-dessus une fonction d'intialisation des registres (mot d'état , masques , ...) .

5 Initialisations et adressage[1] :

Deux types d'initialisations sont à faire dans cet ordre :
- initialisation des registres VXI de configuration du module .
- initialisation des registres de mode de fonctionnement du codeur et de contrôle de l'expérience .

5 1 Les registres VXI :

Six registres de configuration de 16 bits , numérotés en hexadécimal de 00_h à $0A_h$, définissent le module dans l'environnement V.X.I. (adresse logique , adresse de base , état , type , ...) ; ils sont accessibles en mode A16 , D16 ou D8 . Trois de ces registres sont à initialiser .

L'adresse en mode A16 (VXI) a le format suivant :

A15A14 = 11 : espace registres des modules VXI .
A13 ... A6 : adresse logique d'un module .
A5 ... A0 : espace 64 octets des registres VXI d'un module

5 1 1 Ecriture des registres 00_h , 04_h , 06_h :

[1] Se reporter à la note de J CLEMENT : ADRESSAGE DES MODULES VXI D'INDRA (version 3 mars 91) .

5 1 1 1 Registre 00h , VXLOGADD :

L'adresse logique du module , qui permet d'accéder aux cinq autres registres VXI , peut être définie de deux façons selon la valeur N des 8 interrupteurs repérés U370 sur le circuit imprimé :

- Configuration statique :
  Si $0 \leq N < 255$, alors adresse logique = N .

- Configuration dynamique :
  Si N = 255 , alors l'adresse logique du module est écrite sur les 8 bits D0 à D7 dans le registre 00h , sous réserve que la ligne MODID (P2A30) soit active .

5 1 1 2 Registre 04h , VXCONTRL :

Ce registre de contrôle est écrit sur 16 bits D0 à D15; seuls 5 bits sont à prendre en compte.

D15 = AA , D13 = A24 , D9 = MP , D8 = ZP , D4 = PU .

- AA = 1 : adressage VME en mode A24 ou A32 autorisé .
- A24 = 1 : mode A24 sélectionné .
  A24 = 0 : mode A32 sélectionné .
- MP = 1 : met le module dans l'état arrêt .
  MP = 0 : met le module dans l'état marche .
- ZP = 1 : met le module dans un état normal .
  ZP = 0 : met le module dans l'état de remise à zéro .
- PU = 1 : le module est le plus à droite , il termine les lignes .
  PU = 0 : le module a un autre module à sa droite .

5 1 1 3 Registre 06h , VXOFFSET :

A la mise sous tension , ce registre de 16 bits est à zéro . Ce registre donne l'adresse de base ("offset") pour l'accès aux registres de contrôle de l'expérience et d'acquisition des données . Selon le mode d'adressage programmé[1] , la donnée donnant l'offset est sur l'octet de poids fort (D8 à D15) pour le mode A24 ou sur les 16bits D0 à D15 pour le mode A32 .

- adressage en A24 : l'offset décode le bus adresse A16 à A23

[1] registre contrôle §5112

- adressage en A32: l'offset décode le bus adresse A16 à A31 .

5 1 2 Lecture des registres 00h à 0Ah[1] :

5 1 2 1 Registre 00h , VXID :

Format donnée :

D15D14 = 11 : fonction "register based" .

D13D12 = 01 : mode A32 programmé dans le registre VXCONTRL .
= 00 : mode A24 programmé dans ce même registre .

D11 ... D0 = F5Ah (identificateur constructeur IN2P3 donné par PROM U314) .

5 1 2 2 Registre 02h , VXDEVTYP :

Format donnée :

D15 = 1 : mode A32 programmé
= 0 : mode A24 programmé .

D14D13D12 = 111 .

D11 ... D8 = 0010 pour l'application INDRA .
D7 ... D4 = 0001 pour le codeur QDC6412V .
D3 ... D0 = 0000 pour la version 1 .

Note : D11 ... D0 identifient le module " MODEL CODE " dans la norme VXI :
- D11... D8 désignent l'application et sont fixés par interrupteur U369 . La valeur 0 est interdite et réservée au "slot 0" .
- D7 ... D4 définissent le type de module : discriminateur , codeur de charge Ch. Ion. / Si , corrélateur , ... ; ils sont fournis par PROM U314 .
- D3 ... D0 indiquent la version du module ; une version correspond à une modification très importante ; ils sont fournis par PROM U314 .

5 1 2 3 Registre 04h , VXSTATUS[2] :

Format donnée :

D15 = 1 : mode A24 ou A32 autorisé (AA de VXCONTRL) .

D14 = 1 si ligne VXI MODID inactive .

D13 = 1 si mode A24 sélectionné (A24 de VXCONTRL) .
0 si mode A32 sélectionné .

D12 = 1

[1] Note de J. CLEMENT et L. OLIVIER du 2/1/92 : identification des cartes VXI réalisées par l'IN2P3 .
[2] registre contrôle §5112

D11 = 0

D10 = 1 si ligne VXI INIT* inactive (INIT* = 1) .
0 si ligne VXI INIT* active (INIT* = 0) .

D9 = 1 si le codeur est dans l'état arrêt (MP de VXCONTRL) .
0 si le module est dans l'état marche .

D8 = 1 si le codeur est dans un état normal (ZP de VXCONTRL).
0 si le module est dans un état de remise à zéro.

D7 = 0 si le codeur est en conversion (ligne CODAGE* interne à 0).

D6 = 0 si le codeur a fini la conversion et a des données valides (ligne LECTURE* interne à 0) .

D5 = 1

D4 = 1 le module est le plus à droite , il termine les lignes .
0 le module a un autre module à sa droite (PU de VXCONTRL) .

D3 ... D0 = 1111 .

5 1 2 4 Registre 06h , VXOFFSET :

Format donnée : Deux formats possibles selon le mode d'adressage programmé[1] .

- mode A24 : D15 ... D8 fixent l' adressage de base et décodent le bus adresse VME de A23 à A16 .

- mode A32: D15 ... D0 fixent l' adressage de base et décodent le bus adresse VME de A31 à A16 .

5 1 2 5 Registre 08h , VXSERNUM :

Format donnée :

D15 ... D8 = FFh

D7 ... D0 : fixent le numéro de série du module (PROM U314) , la valeur 0 est interdite . Ce numéro est unique pour un "MODEL CODE "[2] .

5 1 2 6 Registre 0Ah , VXMODLVL :

Format donnée :

D15 ... D8 = FFh

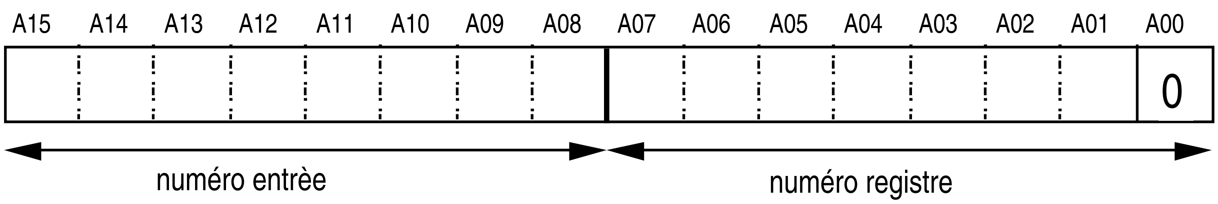
[1] registre contrôle §5112

[2] § 5122 , VXDEVTYP .

D7 ... D0 : fixent le niveau de modification du module (PROM U314) , la valeur 0 est interdite . Ces modifications doivent être mineures : gamme d'intégration , corrections d'erreurs , ...

5 2 Les autres registres :

Ce sont des registres de mode de fonctionnement du codeur , de contrôle de l'expérience et d'acquisition des données . L'accès à ces registres est déterminé par l'initialisation des registres VXI , présentés au paragraphe ci-dessus , qui a notamment fixé l'adresse de base (VXOFFSET)[1] . Leur champ d'adressage a une étendue de 64K (16 bits) et a été organisé de la façon suivante :



- l'octet de poids faible détermine l'adresse des registres généraux (ils concernent tout le module) ou spécifiques aux entrées ou groupes d'entrées .
- l'octet de poids fort représente le numéro N de l'entrée ($0 \leq N \leq 31$) . Lorsque les numéros des registres correspondent à un même groupe d'entrées , le numéro N est alors le numéro du groupe .

<u>exemple</u> : - Pour 4 groupes de 8 entrées , N prend les valeurs 00 , 08_h , 10_h , 18_h .
- Pour 2 groupes de 16 entrées , N prend les valeurs 00 et 10_h .

Ces registres , adresses A0 à A7 , se distinguent par la possibilité de les accèder ou non en cours d'acquisition :

$00_h \leq$ numéro de registre $\leq 7E_h$: accès interdit .
$80_h \leq$ numéro de registre $\leq FE_h$: accès autorisé .

Ces registres sont détaillés dans les paragraphes suivants .

6 Initialisations du codeur :

[1] §5113 et §5124 .

Après avoir écrit les registres VXI[1] et notamment l'adresse de base par VXOFFSET , il faut définir les modes de fonctionnement du codeur , fixer des seuils et attribuer des étiquettes aux entrées . Ces initialisations se font en adressage VME A24 ou A32 et uniquement en mode D16 (D8 est interdit) , sauf la lecture des étiquettes en mode D32 . La modification de ces registres est évidemment interdite en cours de "run" et n'est autorisée que <u>si et seulement si le codeur est dans l'état arrêt (MP = 1)</u>[2] .

6 1 Ecritures et lectures étiquettes [3] :

6 1 1 Ecritures VXLABEL1 et VXLABEL2 :

Une entrée numéro N comprend 2 voies A et B d'intégration :

VXLABEL1 (ou LABELx1) : étiquette de la voie A gain unité de l'entrée N .

VXLABEL2 (ou LABELx16) : étiquette de la voie B gain 16 de l'entrée N .

VXLABEL1 : <u>adresse</u> A15 ... A8 = N (0 • N • 1Fh)
A7 ... A0 = 0 .
<u>donnée</u> D13 ... D0 étiquette sur 14 bits .

VXLABEL2 : <u>adresse</u> A15 ... A8 = N (0 • N • 1Fh)
A7 ... A0 = 02h .
<u>donnée</u> D13 ... D0 étiquette sur 14 bits .

6 1 2 Lectures VXTSTLB1 et VXTSTLB2 :

La lecture de ces registres permet de vérifier que l'écriture des étiquettes des voies des entrées N est correctement réalisée . Contrairement aux autres registres , <u>la lecture des étiquettes se fait en mode D32</u> .

VXTSTLB1 : étiquette de la voie A gain unité de l'entrée N .

VXTSTLB2 : étiquette de la voie B gain 16 de l'entrée N .

VXTSTLB1 : <u>adresse</u> A15 ... A8 = N (0 • N • 1Fh)
A7 ... A0 = 20h .
<u>donnée</u> D29... D16 étiquette sur 14 bits ; autres bits non significatifs .

VXTSTLB2 : <u>adresse</u> A15 ... A8 = N (0 • N • 1Fh)

---

[1] § 5 1
[2] Voir VXCONTRL au §5112 et VXSTATUS au §5123 .
[3] Registres accessibles si MP = 1 .

A7 ... A0 = 24h .
donnée D29 ... D16 étiquette sur 14 bits ; autres bits non significatifs .

6 2 Masques des entrées , VXMSKVOIe[1] :

Les entrées E ($1 \leq E \leq 32$) sont réparties en 4 groupes G de 8 entrées ($0 \leq G \leq 3$) . A l'adresse du groupe G est associée une donnée de 8 bits (D0 à D7) dont l'état du bit n ($1 \leq n \leq 8$) permet de mettre en ou hors service l'entrée E et ses deux voies d'intégrations .

$E = n + 8*G$
(bit n) = 0 : entrée E hors service
(bit n) = 1 : entrée E en service

VXMSKVOIe est encore noté MASKVOIE .

VXMSKVOI0 : adresse : A15 ... A0 = 0004h masque des entrées 1 à 8 .
VXMSKVOI1 : adresse : A15 ... A0 = 0804h masque des entrées 9 à 16 .
VXMSKVOI2 : adresse : A15 ... A0 = 1004h masque des entrées 17 à 24
VXMSKVOI3 : adresse : A15 ... A0 = 1804h masque des entrées 25 à 32

A la mise sous tension et sur INIT* , toutes les entrées sont en service

Exemple : Mise hors service des entrées 5 et 32 .
Ecritures des registres : VXMSKVOI0 , D7 ... D0 = EFh .
VXMSKVOI3 , D7 ... D0 = 7Fh .

6 3 Mot d'état , VXETAT1[2] :

Le mot d'état fixe les modes de fonctionnement et de déclenchement du codeur ; il comprend un registre de 4 bits .

VXETAT1 (ou ETAT):adresse : A15 ... A0 = 0010h .
donnée : D0 = ODCINT .
D1 = FTCSYNCHRO .
D2 = LECOVF .
D3 = GENPDTST .

ODCINT : = 1 , Ordre De Codage INTerne .

[1] Registre accessible en écriture et en lecture si MP = 1 .
[2] Registre accessible en écriture et en lecture si MP = 1 .

= 0 , Ordre De Codage externe .

FTCSYNCHRO : = 1 , Fonctionnement Synchrone .
= 0 , Fonctionnement aSynchrone .

LECOVF : = 1 , LECture des données en dépassement
= 0 , LECture avec suppression des données en dépassement .

GENPDTST : = 1 , GENération du PieDestal de TeST .
= 0 , le piedestal de test n'est pas généré sur signal synchro-test ..

A la mise sous tension et sur INIT* , le mot d'état est 0 .

6 4 Porte d'intégration , VXTEMP1[1] :

VXTEMP1 (PORT_INT) : <u>adresse</u> : A15 ... A0 = 0060h .
<u>donnée</u> : D11 .... D0 = N .

La durée T de la porte d'intégration vaut approximativement :

$$T = \frac{11 * N}{4096} \ \mu S \approx (2,7 * N) \ nS .$$

6 5 Front de validation , VXTEMP2[2] :

VXTEMP2 (RET_FV) : <u>adresse</u> : A15 ... A0 = 0062h .
<u>donnée</u> : D11 .... D0 = M .

Le retard R du front de validation vaut approximativement :

$$R = \frac{1700 * M}{4096} \ nS \approx (0.4 * M) \ nS .$$

[1] Registre accessible , uniquement en écriture , si MP = 1 .
[2] Registre accessible , uniquement en écriture , si MP = 1 .

6 6 Piedestal de test, VXAMPTST[1] :

VXAMPTST (AMP_TEST) : <u>adresse</u> : A15 ... A0 = 0052_h .
<u>donnée</u> : D11 .... D0 = Q.

Ce piedestal , courant envoyé aux intégrateurs , n'est généré qu' en synchronisme avec le signal de déclenchement Synchro-Test .

Pour Q = 800_h le piedestal est nul .

A la mise sous tension , ce registre prend une valeur Q quelconque . Le signal INIT* est inopérant sur ce registre .

6 7 Piedestal commun, VXPDTCOM[2] :

VXPDTCOM (PIED_COM) : <u>adresse</u> : A15 ... A0 = 0050_h .
<u>donnée</u> : D11 .... D0 = Q .

Pour Q = 800_h le piedestal est nul .

A la mise sous tension , ce registre prend une valeur Q quelconque . Le signal INIT* est inopérant sur ce registre .

7 Visualisation et contrôle :

7 1 Les lignes de visualisation et les types de signaux :

Afin de permettre le contrôle de l'expérience , quatre lignes du bus VXI sont affectées à la visualisation de signaux générés par le codeur . Ces lignes sont :

- <u>contrôle fenêtre</u> : connecteur P2A14 , P2C14 .
- <u>inspection logique 1</u> : connecteur P3A3 .
- <u>inspection logique 2</u> : connecteur P3A5 .
- <u>mesure tension</u> : connecteur P2A12 , P2C12.

[1] Registre accessible , uniquement en écriture , si MP = 1 .
[2] Registre accessible , uniquement en écriture , si MP = 1 .

L'accès à une ligne se fait en associant à l'adresse du couple (type de signal , ligne) une donnée sur 16 bits D0 à D15 telle que si :

D15 = 1 : le signal est autorisé sur la ligne .
D15 = 0 : la ligne est libérée et son accés n'est pas autorisé .

Cinq types de signaux sont visualisables :

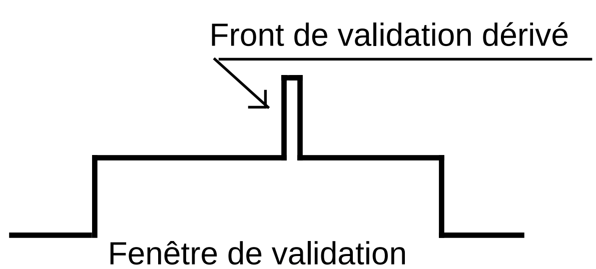
- 32 signaux contrôle fenêtre .
- 32 signaux porte d'intégration .
- 32 signaux cycle entrée .
- 5 signaux maintenance .
- 5 signaux analogiques mesure tension

Les signaux du type porte d'intégration , cycle entrée et maintenance peuvent être visualisés indifféremment sur les lignes inspection logique 1 ou 2 ; les deux autres types sont émis sur les lignes de même nom .

7 2 Contrôle fenêtre , VXCFVOIE :

Rôle : Visualiser la position du front de validation d'une des 32 entrées dans la fenêtre de validation générée par le module de décision .

Caractéristique : Sommation de deux courants de 10 mA / 50 • .



La largeur de l'impulsion du front de validation dérivé est de 10 nS .

Accés :

VXCFVOIE : *adresse* : A7 ... A0 = C4h .
et A15 ... A8 = E (0 • E • 1Fh , E numéro de l'entrée) .
donnée : D15 ... D0 = 0 , ligne libérée .

ou D15 ... D0 = 8000h , signal autorisé sur la ligne .

Exemple : Visualisation du front de validation de l'entrée numéro 26 dans la fenêtre de validation
A15 ... A0 = 1AC4h , D15 ... D0 = 8000h .

7 3 Porte d'intégration , VXIL1VOIEe ou VXIL2VOIe:

Rôle : Visualiser la porte d'intégration d'une des 32 entrées à double intégration sur une ligne inspection logique 1 ou 2

Caractéristique : niveau ECL + .

Visualisation sur inspection logique 1 :
VXIL1VOIe : *adresse* : A7 ... A0 = C0h .
et A15 ... A8 = E (0 • E • 1Fh , E numéro de l'entrée) .
donnée : D15 ... D0 = 0 , ligne libérée .
ou D15 ... D0 = 8000h , signal autorisé sur la ligne .

Visualisation sur inspection logique 2 :
VXIL2VOIe : *adresse* : A7 ... A0 = C2h .
et A15 ... A8 = E (0 • E • 1Fh , E numéro de l'entrée) .
donnée : D15 ... D0 = 0 , ligne libérée .
ou D15 ... D0 = 8000h , signal autorisé sur la ligne .

Exemple : Visualisation de la porte d'intégration de l'entrée numéro 26 sur la ligne inspection logique 1 et de l'entrée numéro 31 sur la ligne 2 .
A15 ... A0 = 1AC0h , D15 ... D0 = 8000h pour E=26 .
A15 ... A0 = 1FC2h , D15 ... D0 = 8000h pour E=31 .

7 4 Cycle entrée , VXIL1VOIEe ou VXIL2VOIe:

Rôle : Visualiser le cycle d'une des 32 entrées depuis son déclenchement jusqu'à sa remise à zéro sur une ligne inspection logique 1 ou 2 .

Caractéristique : niveau ECL + .

Visualisation sur inspection logique 1 :
VXIL1VOIe : *adresse* : A7 ... A0 = C0h .
et A15 ... A8 = E (0 • E • 1Fh , E numéro de l'entrée) .
donnée : D15 ... D0 = 1 , ligne libérée .
ou D15 ... D0 = 8001h , signal autorisé sur la ligne .

Visualisation sur inspection logique 2 :
VXIL2VOIe : *adresse* : A7 ... A0 = C2h .
et A15 ... A8 = E (0 • E • 1Fh , E numéro de l'entrée) .
donnée : D15 ... D0 = 1 , ligne libérée .
ou D15 ... D0 = 8001h , signal autorisé sur la ligne .

Exemple : Visualisation du cycle de l'entrée numéro 26 sur la ligne inspection logique 1 et de l'entrée numéro 31 sur la ligne 2 .
A15 ... A0 = 1AC0h , D15 ... D0 = 8001h pour E=26 .
A15 ... A0 = 1FC2h , D15 ... D0 = 8001h pour E=31 .

7 5 Maintenance , VXIL1CARte ou VXIL2CARte:

Rôle : Visualisation de cinq signaux facilitant la maintenance du codeur Ils peuvent être émis indifféremment sur les lignes inspection logique 1 ou 2 . Tous ces signaux sont actifs haut .

Caractéristiques : niveau ECL + .

- BUSY : Signal positionné à 1 sur l'ordre de codage et retombant sur une remise à zéro (INIT* , REVT* , RAZ) .
- iEOCa : Indication de la phase de conversion du convertisseur des voies A petit gain (actif haut) .
- iEOCb : Indication de la phase de conversion du convertisseur des voies B grand gain (actif haut) .

- FINCOD : Signal indiquant que le codeur est en phase de conversion (actif haut) .
- LECOD : Signal positionné à 1 à la fin de la phase de conversion ; ce signal retourne à 0 à la fin de lectures de toutes les données .

Visualisation sur inspection logique 1 :
VXIL1CARte :
adresse : A15 ... A0 = 00D0h .
donnée : D15 ... D0 = 0XXXh , ligne libérée .
ou D15 ... D0 = 8000h , signal BUSY autorisé sur la ligne .
ou D15 ... D0 = 8001h , signal iEOCa autorisé sur la ligne .
ou D15 ... D0 = 8002h , signal iEOCb autorisé sur la ligne .
ou D15 ... D0 = 8003h , signal FINCOD autorisé sur la ligne
ou D15 ... D0 = 8004h , signal LECOD autorisé sur la ligne .

Visualisation sur inspection logique 2 :
VXIL2CARte :
adresse : A15 ... A0 = 00D2h .
donnée : D15 ... D0 = 0XXXh , ligne libérée .
ou D15 ... D0 = 8000h , signal BUSY autorisé sur la ligne .
ou D15 ... D0 = 8001h , signal iEOCa autorisé sur la ligne .

ou D15 ... D0 = 8002h , signal iEOCb autorisé sur la ligne .
ou D15 ... D0 = 8003h , signal FINCOD autorisé sur la ligne
ou D15 ... D0 = 8004h , signal LECOD autorisé sur la ligne .

Exemple : Visualisation du signal BUSY sur la ligne inspection logique 1 et de LECOD sur la ligne 2 .
A15 ... A0 = D0h , D15 ... D0 = 8000h pour BUSY sur ligne 1.
A15 ... A0 = D2h , D15 ... D0 = 8004h pour LECOD sur ligne 2

7 6 Mesure tension , VXMTCARte:

Rôle : Visualisation de cinq signaux analogiques continus sur la ligne mesure tension . Il faut multiplier par un facteur 2 les grandeurs visualisées pour connaître les amplitudes réelles de ces signaux .

Caractéristique : niveau analogique continu dans la gamme +5 V / -5 V .
- P8V : + 8 V
- GSEUIL : Tension fixant la durée de la porte d'intégration .
- VSEUIL : Tension fixant le retard du front de validation .

- PDPERM : Valeur en tension du piedestal permanent .
- PDTST : Valeur en tension du piedestal de test .

Visualisation sur mesure tension :
VXMTCARte :
adresse : A15 ... A0 = DAh .
donnée : D15 ... D0 = 0XXXh , ligne libérée .
ou D15 ... D0 = 8000h , signal P8V autorisé sur la ligne .
ou D15 ... D0 = 8001h , signal GSEUIL autorisé sur la ligne .
ou D15 ... D0 = 8002h , signal VSEUIL autorisé sur la ligne .
ou D15 ... D0 = 8003h , signal PDPERM autorisé sur la ligne
ou D15 ... D0 = 8004h , signal PDTST autorisé sur la ligne .

Exemple : Visualisation du signal P8V sur la ligne mesure tension.
A15 ... A0 = DAh , D15 ... D0 = 8000h pour P8V sur mesure tension.

8 Acquisition des paramètres :

8 1 Les différentes phases :

L'acquisition des données d'un événement se décompose en trois phases :
- indication de données valides en lecture .
- lecture des données .
- libération des modules du châssis[1] .

8 2 Le signal LECTURE* :

A la fin de conversion des informations indiquée par la ligne CODAGE*[2] , les modules du châssis qui ont des données valides positionnent au niveau bas la ligne du bus VXI LECTURE* . Pour cela , il faut que :
- il y ait au moins une entrée valide[3] .

[1] Voir § 4 3 .
[2] Voir § 2 2 2 .
[3] Voir § 3 3 .

- il y ait au moins une voie intégratrice non saturée si le codeur est programmé en suppression des dépassements à la lecture[1]

Pour le multidétecteur INDRA , l'état de LECTURE* est signalé aux processeurs d'acquisition par le corrélateur[2] , composante du "trigger" . Lorsque toutes les valeurs numériques des informations charges d'un module ont été lues , celui-ci relâche la ligne LECTURE*. Elle sera totalement libérée (1 logique) lorsque tous les modules du châssis auront été lus . Cette transition de LECTURE* est utilisée pour l'envoi d'un signal de remise à zéro de tous les modules .

8 3 Lecture des données :

8 3 1 Trois types de données :

Trois types de données sont accessibles en A24 ou A32 :

- la configuration des entrées validées ("bit pattern") .
- le compteur de voies : nombre de paramètres à lire .

- le bloc paramétres : bloc de mots 32 bits composés des valeurs numériques des courants intégrés et des étiquettes .

8 3 2 La configuration des entrées , VXBITPAT :

La configuration des 32 entrées Ei validées[3] est indiquée dans deux mots de 16 bits (D0 à D15) . Seule la lecture en mode D16 est autorisée :

VXBITPAT1 (ou BIT_PATT1) : A15 ... A0 = 80_h pour $0 \leq Ei \leq 15$
Di = 1 si Ei est validée .

VXBITPAT2 (ou BIT_PATT2) : A15 ... A0 = 1080_h pour $16 \leq Ei \leq 31$
Dj = 1 si Ei est validée (j = i - 16) .

Cette configuration est accessible dès que la ligne CODAGE* est active au niveau bas , c'est à dire dès le début de conversion , et tant que le codeur n'a pas été remis à zéro .

8 3 3 Le compteur de voies , VXCPTVOI :

[1] Voir § 6 3 .
[2] Voir documentation Le trigger INDRA , L.P.C. CAEN , J. Tillier , Avril 1991 .
[3] Voir § 3 3 .

Le compteur donne le nombre de mots 32 bits contenu dans le bloc de paramètres de l'événement . Selon le bit LECOVF programmé dans le mot d'état[1] , la valeur du compteur est égal :

- LECOVF = 1 , au nombre de voies d'intégration dont les entrées ont été validées . Une entrée étant composée de deux voies , ce nombre est égal à deux fois le nombre d'entrées validées .
- LECOVF = 0 , au nombre de voies d'intégration dont les entrées ont été validées et ne sont pas saturées (une entrée est non saturée si ses deux voies d'intégration ne sont pas en dépassement) .

D'après ce qui précède , la valeur N du compteur est toujours paire et telle que : $0 \leq N \leq 64$. La lecture du compteur est autorisée en mode D8 ou D16 avec l'octet D7 ... D0 significatif .

VXCPTVOI (ou COMPVOIE) : A15 ... A0 = 90_h .
D7 ... D0 = N avec $0 \leq N \leq 20_h$.

Ce nombre N du compteur de voies est accessible dès que la ligne LECTURE* est active au niveau bas , c'est à dire dès le début de lecture des modules du châssis , et tant que le codeur n'a pas été remis à zéro . Si N = 0 , la ligne LECTURE* n'est pas activée par le codeur . L'intérêt de la lecture du compteur de voies est d'indiquer au processeur le nombre de mots composant le bloc paramètres .

8 3 4 Lecture des paramètres en VME , VXACQU :

Un paramètre est composé d'un mot de 32 bits (D0 à D31) au format suivant :
- D31 = OVerFlow : = 1 si la voie d'intégration est saturée .
- D30 = 0 .
- D29 ... D14 : étiquette ("label") de la voie d'intégration[2]
- D15 ... D12 = 0 .
- D11 ... D0 : valeur numérique de la charge d' une voie d'intégration .

[1] Voir § 6 3 .
[2] L'étiquette est programmée à l'initialisation (§ 6 1) .

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
OVF	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X

étiquette d'une voie

D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X

valeur numérique de la charge d'une voie

La lecture du bloc de paramètres est obligatoirement sur 32 bits en mode VME A24 ou A32 à l'adresse :

VXACQ (ou LECTACQ) : A15 ... A0 = 98_h .

Le bloc est composé d'un nombre pair de paramètres et est toujours terminé par le mot D31 .... D0 = $FFFFFFFF_h$.

La lecture du bloc de paramétres peut se faire de deux façons :

1 - Lecture du nombre N du compteur de voies : VXCPTVOI .
- Lecture du bloc de paramètres : VXACQ . le processeur d'acquisition effectuera N cycles VME de lecture et passera au module suivant .

2 - Lecture du bloc de paramètres : VXACQ . Le processeur de lecture effectue le nombre de cycles VME nécessaires jusqu'à lire le paramètre $FFFFFFFF_h$ pour passer au module suivant .

8 3 5 Lecture des paramètres en mode ROCO :

Pour utiliser ce mode de lecture , il faut nécessairement disposer dans le châssis d'un automate de contrôle et de séquencement de lecture (par exemple module ROCO développé au CENBG pour le multidétecteur EUROGAM) . Le principe de fonctionnement de cette lecture chaînée est décrit dans un document de novembre 90 "Specification of the VXI Readout Mechanism" par J. Alexander du laboratoire de Daresbury .

Ce mode de lecture utilise le bus de données VME 32 bits pour le transfert des paramètres et les lignes VXI RENIN et RENOUT* pour attribuer l'autorisation de transfert aux différents modules du châssis . Dans le cadre d'EUROGAM , l'automate ROCO achemine les données sur un câble plat en ECL différentiel vers un module VME interface du type HSM8170 de C.E.S. .

ANNEXE 1 : TABLEAU DES REGISTRES

1 Les registres VXI de configuration :

Ils sont accessibles en A16 , D16 ou D8

VXLOGADD :

ligne MODID active pour configuration dynamique

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	0	0	0
		adresse logique													

D4				D0			
d	d	d	d	d	d	d	d
adresse logique							

VXCONTRL :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	1	0	0
		adresse logique													

D12				D8				D4				D0			
AA		A24				MP	ZP			PU					

VXOFFSET :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	1	1	0

adresse logique

D12				D8				D4				D0			
d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d

adressage en A32

VXID :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	0	0	0

adresse logique

D12				D8				D4				D0			
1	1	A24/32		1	1	1	1	0	1	0	1	1	0	1	0

VXDEVTYP :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	0	1	0

adresse logique

D12				D8				D4				D0			
A24/A32	1	1	1	0	0	1	0	0	0	0	1	d	d	d	d

VXSTATUS :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	0	1	0	0

adresse logique

D12				D8				D4				D0			
A24/A32	MOD	A24	1	0	INIT*	MP	ZP	COD*	LEC*	1	PU	1	1	1	1

VXSERNUM :

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	1	0	0	0

adresse logique

D12				D8				D4				D0			
1	1	1	1	1	1	1	1	d	d	d	d	d	d	d	d

VXMODLVL:

A12				A8				A4				A0			
1	1	x	x	x	x	x	x	x	x	0	0	1	0	1	0

adresse logique

D12				D8				D4				D0			
1	1	1	1	1	1	1	1	d	d	d	d	d	d	d	d

2 Les registres d'initialisation du codeur:

L'adressage A16 à A31 est donné par le registre d'offset .

VXLABEL1 :

A12				A8				A4				A0			
0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0

numéro entrée

D12				D8				D4				D0			
0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d

VXLABEL2 :

A12				A8				A4				A0			
0	0	0	x	x	x	x	x	0	0	0	0	0	0	1	0
			numéro entrée												

D12				D8				D4				D0			
0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d

VXTSTLB1 :

A12				A8				A4				A0			
0	0	0	x	x	x	x	x	0	0	1	0	0	0	0	0
			numéro entrée												

D28				D24				D20				D16			
0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d
D12				D8				D4				D0			

VXTSTLB2 :

A12				A8				A4				A0			
0	0	0	x	x	x	x	x	0	0	1	0	0	1	0	0
			numéro entrée												

D28				D24				D20				D16			
0	**0**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**	**d**
D12				D8				D4				D0			

VXMSKVOI0 :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

D12				D8				D4				D0			

								d	d	d	d	d	d	d	d

VXMSKVOI1 :

A12				A8				A4				A0			
0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0

D12				D8				D4				D0			
								d	d	d	d	d	d	d	d

VXMSKVOI2 :

A12				A8				A4				A0			
0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0

D12				D8				D4				D0			
								d	d	d	d	d	d	d	d

VXMSKVOI3 :

A12				A8				A4				A0			
0	0	0	1	1	0	0	0	0	0	0	0	0	1	0	0

D12				D8				D4				D0			
								d	d	d	d	d	d	d	d

VXETAT1:

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

D12				D8				D4				D0			
												GEN PDT ST	LEC OVF	FTC SYN CH	ODC INT

VXTEMP1 :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0

D12				D8				D4				D0			
				d	d	d	d	d	d	d	d	d	d	d	d

VXTEMP2 :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	0

D12				D8				D4				D0			
				d	d	d	d	d	d	d	d	d	d	d	d

VXTPDTCOM :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0

D12				D8				D4				D0			
				d	d	d	d	d	d	d	d	d	d	d	d

VXAMPTST :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	0

D12				D8				D4				D0			
				d	d	d	d	d	d	d	d	d	d	d	d

3 Les registres de visualisation et de contrôle :

L'adressage A16 à A31 est donné par le registre d'offset .

VXCFVOIE :

A12				A8				A4				A0			
0	0	0	v	v	v	v	v	1	1	0	0	0	1	0	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VXL1VOIE :

A12				A8				A4				A0			
0	0	0	v	v	v	v	v	1	1	0	0	0	0	0	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	0	0	d

VXL2VOIE :

A12				A8				A4				A0			

0	0	0	v	v	v	v	v	1	1	0	0	0	0	1	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	0	0	d

VXL1CARte :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	d	d	d

VXL2CARte :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	1	0	1	0		1	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	d	d	d

VMTCARte :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	1	0	1	1	0	1	0

D12				D8				D4				D0			
d	0	0	0	0	0	0	0	0	0	0	0	0	d	d	d

4 Les registres d'acquisition des paramètres :

L'adressage A16 à A31 est donné par le registre d'offset .

VXBITPAT1 :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

D12				D8				D4				D0			
d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d

VXBITPAT2 :

A12				A8				A4				A0			

0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0

D12				D8				D4				D0			
d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d

VXCPTVOI :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0

D12				D8				D4				D0			
0	0	0	0	0	0	0	0	0	d	d	d	d	d	d	d

VXACQ :

A12				A8				A4				A0			
0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0

D28				D24				D20				D16			
OVF	0	e	e	e	e	e	e	e	e	e	e	e	e	e	e
D12				**D8**				**D4**				**D0**			
0	0	0	0	c	c	c	c	c	c	c	c	c	c	c	c

Annexe 2 : EXEMPLE DE LISTE D'ACTIONS

1 Configuration registres :

nom *, donnée* : *commentaires*

VXLOGADD , 10_h : Configuration dynamique adresse logique = 10_h

VXCONTRL ,	8310_h	: A32 , module arrêté et le plus à droite .
VXOFFSET ,	$ABCD_h$	: "offset address".

2 Initialisations registres :

nom	*, donnée*	*: commentaires*
VXLABEL1 ,	Ei	: Ecriture étiquettes voies A (32 fois) .
VXLABEL2 ,	Ej	: Ecriture étiquettes voies B (32 fois) .
VXMSKVOI0 ,	FF_h	: Entrées 1 à 8 en service .
VXMSKVOI1 ,	FF_h	: Entrées 9 à 16 en service.
VXMSKVOI2 ,	F_h	: Entrées 21à 24 masquées.
VXMSKVOI3 ,	0	: Entrées 25 à 32 masquées.
VXETAT1 ,	4_h	: ODC externe , asynchrone , "overflows" .
VXTEMP1 ,	$73C_h$	: Porte d'intégration = 5 µS
VXTEMP2 ,	$94C_h$	: Front de validation à 1 µS..
VXPDTCOM ,	800_h	: Piedestal commun est nul.
VXAMPTST ,	800_h	: Piedestal de test est nul .
VXCONTRL ,	8110_h	: Module en marche .

2 Lectures paramètres:

nom	*, donnée*	*: commentaires*
VXACQ ,	Dn	: Lectures 32 bits tant que Dn ≠ $FFFFFFFF_h$.

Annexe 3 : CONSOMMATIONS

Tensions	Courants	Puissances
- 24 V	0,3 A	7,2 W

- 12 V	0,9 A	10,8 W
- 5,2 V	5,4 A	28,1 W
- 2 V	2,1 A	4,2 W
5 V	4,5 A	22,5 W
12 V	1 A	12 W
24 V	0,2 A	4,8 W
		Total : 89,6 W